

## esp@cenet Family list view

**Family list**

1 family member for:

**JP8063969**

Derived from 1 application.

**1 SEMICONDUCTOR STORAGE DEVICE**Publication info: **JP8063969 A - 1996-03-08**Data supplied from the **esp@cenet** database - Worldwide

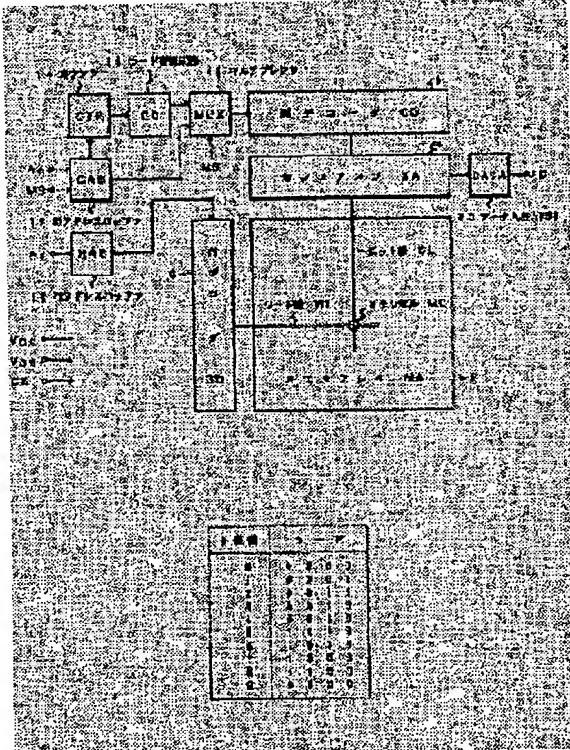
esp@cenet document view

**SEMICONDUCTOR STORAGE DEVICE**

Patent number: JP8063969  
 Publication date: 1996-03-08  
 Inventor: OUCHI KAZUNORI  
 Applicant: TOKYO SHIBAURA ELECTRIC CO  
 Classification:  
 - international: G11C11/41; G11C11/408; G11C16/06  
 - european:  
 Application number: JP19940195812 19940819  
 Priority number(s): JP19940195812 19940819

[Report a data error here](#)**Abstract of JP8063969**

**PURPOSE:** To reduce power consumption required for serially accessing a memory cell array by converting a first address sequence generated by the use of an address sequence generation circuit to a specified second address list using a code conversion circuit. **CONSTITUTION:** A first address sequence which is supplied from the counter 14 to serially access the memory array 2 is converted into the code of the second address sequence in which the hamming distance of the neighboring address is 1 using the code conversion circuit 16, and the columns of the memory array 1 are accessed through the column decoder 8. By this conversion process, only one bit changes its state when an address composed of two or more bits is switched, and the power consumption required for address switching is minimized. In addition, this method can be similarly applied to the row direction or both the row and the column directions, too.



Data supplied from the esp@cenet database - Worldwide

## 引用文献 2

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-63969

(43)公開日 平成8年(1996)3月8日

| (51) Int.Cl. <sup>6</sup> | 識別記号 | 序内整理番号 | F 1 | 技術表示箇所 |
|---------------------------|------|--------|-----|--------|
|---------------------------|------|--------|-----|--------|

G 11 C 11/41

11/408

16/06

G 11 C 11/34 301 D

354 B

審査請求 未請求 請求項の数4 OL (全7頁) 最終頁に統く

(21)出願番号 特願平8-195812

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成6年(1994)8月19日

(72)発明者 大内 和則

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

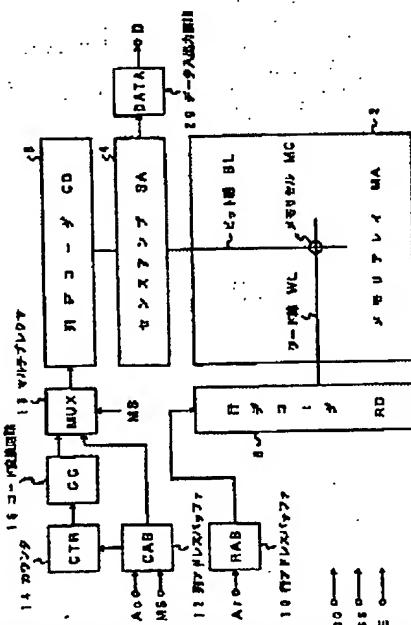
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】半導体記憶装置

(57)【要約】

【目的】シリアルアクセスの際にアドレス切り替えに要する消費電力を小さくすることができる半導体記憶装置を提供することを目的とする。

【構成】本発明では、与えられたアドレスに従い複数のメモリセルのうち所定のものを選択してアクセスする半導体記憶装置において、前記複数のメモリセルをマトリクス状に配置してなるメモリセルアレイ2と、前記メモリセルを順次アクセスするためのバイナリコードで表された第1のアドレスの系列を発生するアドレス系列発生回路と14、前記第1のアドレスの系列を、隣接するアドレスのハミング距離が1である第2のアドレスの系列に変換するコード変換回路16とを備えたことを特徴とする。このコード変換回路は、列アドレスおよび行アドレスのいずれか一方に適用しても良いし、両方に適用しても良い。



(2)

特開平8-63969

2

1

## 【特許請求の範囲】

【請求項1】複数のメモリセルをマトリクス状に配置してなるメモリセルアレイを備え、前記メモリセルアレイをあらかじめ決められた順序のアドレスの系列に従ってアクセスする半導体記憶装置において、前記アドレスの系列が、隣接するアドレスのハミング距離を1とするコードの系列で表されたことを特徴とする半導体記憶装置。

【請求項2】与えられたアドレスに従い複数のメモリセルのうち所定のものを選択してアクセスする半導体記憶装置において、前記複数のメモリセルをマトリクス状に配置してなるメモリセルアレイと、

前記メモリセルを順次アクセスするためのバイナリコードで表された第1のアドレスの系列を発生するアドレス系列発生回路と、前記第1のアドレスの系列を、隣接するアドレスのハミング距離が1である第2のアドレスの系列に変換するコード変換回路とを備えたことを特徴とする半導体記憶装置。

【請求項3】前記第2のアドレスの系列を列アドレスまたは行アドレスとして入力し、該アドレスを順次切り替えて前記メモリセルをアクセスする回路をさらに備えたことを特徴とする請求項2記載の半導体記憶装置。

【請求項4】前記アドレス系列発生回路および前記コード変換回路は、バイナリコードで表された列アドレスおよび行アドレスに対応して夫々備えるとともに、バイナリコードで表された列アドレスに対応する前記コード変換回路の出力を列アドレスとして入力し、該列アドレスを順次切り替えて前記メモリセルをアクセスする回路と、バイナリコードで表された行アドレスに対応する前記コード変換回路の出力を行アドレスとして入力し、該行アドレスを順次切り替えて前記メモリセルをアクセスする回路とをさらに備えたことを特徴とする請求項2記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特に消費電力を少なくできることを特徴とする半導体記憶装置に係る。

## 【0002】

【従来の技術】携帯型の情報機器等の発達により、半導体記憶装置の低消費電力化への要求はますます高まっている。特に、DRAMのシリアルアクセスモード、あるいはフラッシュメモリのページモードなど行方向や列方向に順次アドレスを切り替えてデータを連続して読み出したり書き込んだりするシリアルアクセス・モードを用いる半導体記憶装置のように高速化を狙いとしたものに

分を表した模式図である。この半導体記憶装置は、データ読み出しにおいては、ランダムアクセス・モードとシリアルデータ読み出しモードを有し、制御信号MSにて切替えて使用できるものとする。

【0004】メモリセルアレイ(MA)102は、基本的には複数のワード線WL、複数のビット線BL、ワード線WL及びビット線BLの各交点に配置された複数のメモリセルMCから構成される。

【0005】外部から行アドレスA<sub>1</sub>が行アドレスパッファ(RAB)110に与えられ、これが行デコーダ(RD)106に送られ、アドレスに対応したワード線WLが活性化される。この活性化されたワード線WLに接続されたメモリセルMCのデータが夫々対応したビット線BLに読み出され、夫々のビット線BLのセンスアンプ(SA)104に検出されラッチされる。

【0006】ランダムアクセスモードでは、列アドレスパッファ(CAB)112に外部入力された列アドレスAcは、マルチブレクサ(MUX)118を介して列デコーダ(CD)108に送られ、対応するビット線BLのセンスアンプ(SA)104にラッチされたデータがデータ線に送られ、データ入出力回路(DATA)120から外部に読み出される。

【0007】シリアルデータ読み出しモードでは、列アドレスパッファ(CAB)112に外部入力された列アドレスAcは、カウンタ(CTR)114に送られ、カウンタ(CTR)114の初期値としてセットされる。カウンタは(CTR)114、例えば外部から入力されるクロック信号CEに同期して動作しアドレスをカウントアップする。カウンタ(CTR)114によりカウントアップされたアドレスは、マルチブレクサ(MUX)118を介して順次列デコーダ(CD)108に供給され、このアドレスに対応したセルMCのデータが順次読み出されていく。

【0008】このような従来の半導体記憶装置において、上記したカウンタの出力は、メモリアレイの一辺に配置された列デコーダへのアドレス入力信号として列デコーダの内部を縦走する。半導体記憶装置の高集積化が進むにつれて、このアドレス信号の配線は長くなり、同時にその負荷容量も増大する。

【0009】したがって、従来の半導体記憶装置では、アドレスを切り替えて順次アクセスしていくモードにおいて、アドレスの切り替えのためにデコーダで消費される電力は増加する傾向にあるという問題点がある。

## 【0010】

【発明が解決しようとする課題】以上のように従来の半導体記憶装置では、高集積化が進むにつれて、アドレス切り替えに要する消費電力が大きくなるという問題があった。本発明は、上記事情に鑑みてなされたものであり、シリアルアクセスの際にアドレス切り替えに要する

特開平8-63969

(3)

4

供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、複数のメモリセルをマトリクス状に配置してなるメモリセルアレイを備え、前記メモリセルアレイをあらかじめ決められた順序のアドレスの系列に従ってアクセスする半導体記憶装置において、前記アドレスの系列が、隣接するアドレスのハミング距離を1とするコードの系列で表されたことを特徴とする。

【0012】また、本発明は、与えられたアドレスに従い複数のメモリセルのうち所定のものを選択してアクセスする半導体記憶装置において、前記複数のメモリセルをマトリクス状に配置してなるメモリセルアレイと、前記メモリセルを順次アクセスするためのバイナリコードで表された第1のアドレスの系列を発生するアドレス系列発生回路と、前記第1のアドレスの系列を、隣接するアドレスのハミング距離が1である第2のアドレスの系列に変換するコード変換回路とを備えたことを特徴とする。

【0013】好ましくは、前記第2のアドレスの系列を列アドレスまたは行アドレスとして入力し、該アドレスを順次切り替えて前記メモリセルをアクセスする回路をさらに備えたことを特徴とする。

【0014】また、好ましくは、前記アドレス系列発生回路および前記コード変換回路は、バイナリコードで表された列アドレスおよび行アドレスに対応して夫々備えるとともに、バイナリコードで表された列アドレスに対応する前記コード変換回路の出力を列アドレスとして入力し、該列アドレスを順次切り替えて前記メモリセルをアクセスする回路と、バイナリコードで表された行アドレスに対応する前記コード変換回路の出力を行アドレスとして入力し、該行アドレスを順次切り替えて前記メモリセルをアクセスする回路とをさらに備えたことを特徴とする。

【0015】

【作用】本発明では、半導体記憶装置が予め決められた順序でメモリセルがアクセスされる動作モードにある場合、順次アクセスされるメモリセルのアドレスが、隣接するアドレスのハミング距離を1とするコードで表されるため、複数のビットで構成されるアドレスが切り替わる時に、状態の変化するビットは常にいずれかの1ビットのみとなる。これに対し、通常のバイナリコードで表されたアドレスを用いた場合には、アドレスが切り替わる際に状態の変化するビットの数は、アドレスの内容により1ビットから全ビットの間で変わる。

【0016】したがって本発明によれば、シリアルアクセスモードにある半導体記憶装置において、状態が遷移するアドレスの数が最少となり、アドレス切り替えに要

【0017】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。DRAMのシリアルアクセスモードあるいはフラッシュメモリのページモードなどのように、列方向に順次アドレスを切り替えてデータを連続して高速に読み出す機能を有する半導体記憶装置を例として、実施例を説明する。

【0018】図1は、同実施例に係る半導体記憶装置の主要部分を概略的に示した構成図である。図1のように本実施例の半導体記憶装置は、メモリセルアレイ(MA)2、センスアンプ(SA)4、行デコーダ(RD)6、列デコーダ(CD)8、行アドレスバッファ(RA)B)10、列アドレスバッファ(CAB)12、カウンタ(CTR)14、コード変換回路(CC)16、マルチプレクサ(MUX)18、データ入出力回路(DAT A)20から構成される。本実施例では、外部入力されたアドレスを、(変換後の)隣接するアドレスのハミング距離がすべて1であるようなコードに変換するコード変換回路16を設けている点に特徴がある。

【0019】この半導体記憶装置は、データ読み出しにおいては、ランダムアクセス・モードとシリアルデータ読み出しモードを有し、制御信号MSにて切替えて使用できるものとする。

【0020】メモリセルアレイ2は、基本的には複数のワード線WL、複数のビット線BL、ワード線WL及びビット線BLの各交点に配置された複数のメモリセルMCから構成される。

【0021】外部から行アドレスA<sub>r</sub>が行アドレスバッファ10に与えられ、これが行デコーダ6に送られ、アドレスに対応したワード線WLが活性化される。この活性化されたワード線WLに接続されたメモリセルMCのデータが夫々対応したビット線BLに読み出され、夫々のビット線BLのセンスアンプ4に検出されラッピングされる。

【0022】ランダムアクセスモードでは、列アドレスバッファ12に外部入力された列アドレスA<sub>c</sub>は、マルチプレクサ18を介して列デコーダ8に送られ、対応するビット線BLのセンスアンプ4にラッピングされたデータがデータ線に送られ、データ入出力回路20から外部に読み出される。

【0023】一方、シリアルデータ読み出しモードでは、予め決められた順序でメモリセルが次々とアクセスされる。すなわち、列アドレスバッファ12に外部入力された列アドレスA<sub>c</sub>は、カウンタ14に送られ、カウンタ14の初期値としてセットされる。カウンタは14、所定の制御信号(例えば外部から入力されるクロック信号CE)に同期して動作し、アドレスをカウントアップする(あるいはカウントダウンする;以下、カウントアップについて説明する)。カウンタ14によりカウ

(4)

特開平8-63969

6

5  
給される。コード変換回路16は、カウンタ14で発生されたバイナリコードで表された各アドレスを、隣接するアドレスのハミング距離が1であるコードに順次変換していく。コード変換回路16で生成されたアドレスの系列は、マルチプレクサ18を介して順次列デコーダ8に供給され、各アドレスに対応したセルMCのデータが順次読み出されていく。

【0024】ここで、上記半導体記憶装置がシリアルデータ読み出しモードにある場合、順次アクセスされるメモリセルの（変換後の）アドレスにおいて、隣接するアドレスのハミング距離が1であるため、複数のビットで構成されるアドレスが切り替わるときに、状態の変化するアドレス中のビットは常にいずれかの1ビットのみである。これに対し、通常のバイナリコードでアドレスを表した場合には、アドレスが切り替わる時に状態の変化するビットの数は、アドレスの内容により1ビットから全ビットの間で変わる。

【0025】したがって本発明によれば、シリアルアクセスにおいてアドレスが切り替わる際に、複数ビットの列デコーダの内部を縦走する負荷容量の大きいアドレス信号線の状態の変化を1ビット分だけに抑えることができる。

$$G_i = A_1 \text{ exor } A_{i+1} \quad (0 \leq i \leq q-1)$$

… (1)

$$G_q = A_q$$

ただし、exorは排他的論理和を表す。

【0030】図3には、アドレスが3ビットの場合の列デコーダの回路例を示す。3ビットのアドレス信号とイネーブル信号ENBしが入力する複数のAND回路31（およびNOT回路32）で、一つの列デコーダが構成される。3ビットのアドレス信号により8個の列デコーダの内の一つが選択され、その出力CSL<sub>i</sub>（i=0~7）が高電圧になる。

【0031】シリアルアクセスの場合には、基本的には列デコーダはCSL0の側からCSL7の側へ一つずつ順に選択される。あるいは、途中（例えばCSL3）から始めて任意の列デコーダ（例えばCSL6）まで選択することも可能である。

【0032】図3の列デコーダの右側には、バイナリコードとグレイコードについて、それぞれの列デコーダを選択する3ビットのアドレス信号の組み合わせを示してある。

【0033】バイナリコードの場合には、例えば、CSL1→CSL2と選択される列を替える時にはA0とA1の2つのアドレスを変化させなければならないし、CSL3→CSL4と替える時にはA0、A1、A2の3つのアドレスの状態を変えなければならない。これに対し、本発明のようにグレイコードに変換したアドレスを用いる場合には、CSL1→CSL2の場合にはアドレスG1だけを、CSL3→CSL4の場合にはアドレス

\*きるので、アドレス切り替えに要する消費電力を従来に比較して軽減させることができる。なお、コード切り替え回路での負荷容量は小さく、ここで消費する電力は極めて小さいものである。

【0026】以下、上述した実施例に係る半導体装置の各部の具体例や变形例について説明する。コード変換回路16にて用いる「隣接するアドレスのハミング距離が1のコード」としては、例えばサイクリックコードを用いることができる。

10 【0027】図2に、コード変換回路16の具体的な回路例を示す。このコード変換回路16は、バイナリコードを、サイクリックコードの一つとして良く知られているグレイコードに変換する回路の一例である。図のように複数の排他的論理和回路21から構成される極めて簡単な回路で実現できる。

【0028】図中のqは、アドレス信号のビット数に応じて決定される。また、グレイコード（G<sub>i</sub> ; i=0~q）は、バイナリコード（A<sub>i</sub> ; i=0~q）を基に次の変換式によって求められる。

20 【0029】

って、次の列をアクセスすることができる。

【0034】上述したように本発明では、アドレス信号の遷移確率を最少にして、アドレス切り替えに要する消費電力を軽減することができる。なお、図3の実施例では、列アドレスの最大値（ここではバイナリーで111）と最小値（ここではバイナリーで000）を連続してアクセスする場合も、変換後のアドレスの変化は1ビットであり、本発明の効果を得ることができる。

【0035】コード変換回路で生成するアドレスは、上記実施例のようにサイクリックコードでなくとも、隣接するアドレスのハミング距離が1であるならば、どのようなコードでも用いることができる。図4には、図3で示したコードとは異なる種類の4ビットのコードの一例を示す。また、図5には、4ビットのグレイコードを示す。列アドレスの最大値（例えば1111）と最小値（例えば0000）とを連続してアクセスことがある場合は、サイクリックコードを用いるとアドレスの変化が1ビットとなるので効果的である。

40 【0036】さて、上記実施例では、本発明をシリアルアクセスモードを有するDRAMあるいはページモードを有するフラッシュメモリの列アドレスに関連する回路部分に適用した場合について説明したが、列アドレスだけでなく、列アドレスおよび行アドレスの両方に適用することも可能である。また、上記実施例のように読み出しに適用するだけでなく、書き込みに関して適用することもできる。

(5)

特開平8-63969

8

する半導体記憶装置を例にとって説明したが、シリアルアクセスモードのみ有する半導体記憶装置に適用することも可能である。

【0038】また、本発明は、半導体記憶装置の読み出し時のシリアルアクセスへの適用に限定されるものではなく、メモリセルへのアクセスの順序があらかじめ決められる他の動作にも適用することができる。例えばダイナミックRAMのセルフリフレッシュ動作の場合、本発明を行アドレスに関して適用すれば良い。

【0039】また、本発明は、DRAMやフラッシュメモリの他、SRAMを始めとするどのような半導体記憶装置にも適用可能である。さらには、本実施例では、ランダムアクセス・モードを実現するために内部カウンタを利用しているが、内部カウンタを設けないものであっても、外部から連続する(1づつ増加あるいは減少する)バイナリコードの系列をアドレスとして入力する場合、あるいは外部に図3のカウンタを持っている場合にも、本発明を適用しその効果を得ることができる。また、本発明は上述した実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0040】

【発明の効果】本発明では、半導体記憶装置が予め決められた順序でメモリセルがアクセスされる動作モードにある場合は、順次アクセスされるメモリセルのアドレスが、隣接するアドレスのハミング距離を1とするコード

で表されるため、複数のビットで構成されるアドレスが切り替わる時に、状態の変化するビットを1ビットのみにすることができる。

【0041】したがって、本発明によれば、シリアルアクセスモードにある半導体記憶装置において、状態が遷移するアドレスの数が最少となり、アドレス切り替えに要する消費電力を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体記憶装置の構成を示すブロック図

【図2】同実施例におけるコード変換回路の構成を示す図

【図3】同実施例における列デコーダ回路の構成を示す図

【図4】コード変換回路の生成するコードの他の例

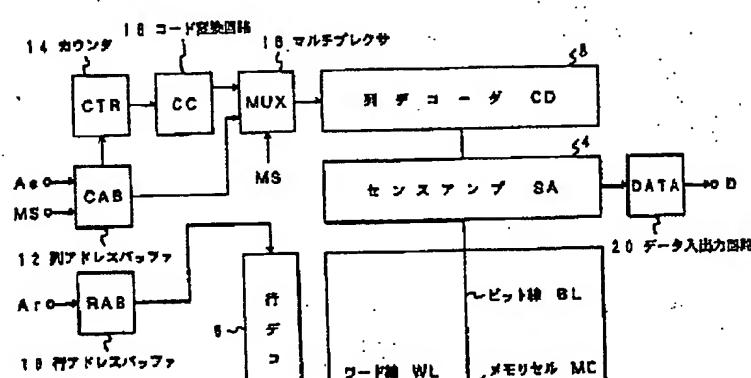
【図5】コード変換回路の生成するコードのさらに他の例

【図6】従来の半導体記憶装置の構成を示すブロック図

【符号の説明】

2…メモリセルアレイ、4…センスアンプ、6…行デコーダ、8…列デコーダ、10…行アドレスバッファ、12…列アドレスバッファ、14…カウンタ、16…コード変換回路、18…マルチプレクサ、20…データ入出力回路、21…排他的論理回路、31…AND回路、32…NOT回路

【図1】



【図4】

| 十進数 | コード       |
|-----|-----------|
| 0   | 0 0 0 0 0 |
| 1   | 0 0 0 0 1 |
| 2   | 0 0 0 1 1 |
| 3   | 0 0 0 1 0 |
| 4   | 0 1 1 1 0 |
| 5   | 1 1 1 1 0 |
| 6   | 1 0 1 0 0 |
| 7   | 1 0 0 0 0 |
| 8   | 1 1 0 0 0 |
| 9   | 0 1 0 0 0 |